

JP 404150033 A

MAY 1992

(54) BUMP ON ELECTRONIC CIRCUIT BOARD; FORMATION METHOD OF BUMP ON ELECTRONIC CIRCUIT BOARD AND OF CIRCUIT PATTERN

(11) 4-150033 (A) (43) 22.5.1992 (19) JP

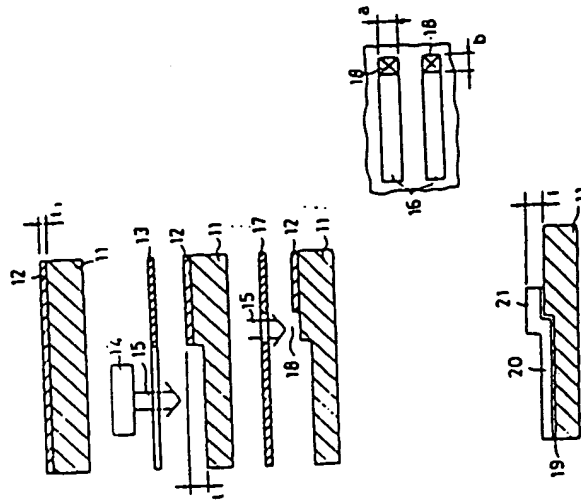
(21) Appl. No. 2-274739 (22) 12.10.1990

(71) SHARP CORP (72) SHOJI KIRIBAYASHI

(51) Int. Cl.⁵ H01L21/321, H01L21/3205

PURPOSE: To easily mount an LSI chip on a board by a method wherein a protrusion-shaped bump is formed on a conductive layer formed on a groove having a prescribed circuit pattern in such a way that it is extended from the groove to the board.

CONSTITUTION: The side of a coating film 12 to which a mask 13 has been attached is irradiated with a laser beam 15; a U-shaped groove 16 having a depth of (t) is formed in a circuit board 11. The mask 13 is removed; a mask 17 which is provided with one or more parts having an area of a x b corresponding to the size of a bump is attached to the coating film 12; the same side is irradiated with the laser beam 15; a pattern 18 having a depth of t₁ is formed so as to pass the coating film 12. Then, a thin film is formed on the patterns 16 to 18 whose depths are (t) and t₁. A metal thin film 19 is formed in the parts; a conductor 20 is formed by an electrolytic plating operation; a protrusion-shaped bump 21 having a thickness of (t) is obtained. An LSI chip can be mounted easily on the board by using the bump formed in this manner.



183

230

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-150033

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月22日

H 01 L 21/321
21/32056940-4M H 01 L 21/92
7353-4M 21/88B
B

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法

⑯ 特 願 平2-274739

⑰ 出 願 平2(1990)10月12日

⑱ 発 明 者 梶 林 昌 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 川口 義雄 外4名

明 細 書

1. 発明の名称

電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法

2. 特許請求の範囲

(1) 基板に形成され所定の回路パターンを有する導上、該導上に形成された所定厚の導電性層とを有する電子回路基板におけるバンプであって、前記導上から前記基板上に延伸して形成された所定厚の導電性層から成ることを特徴とする電子回路基板のバンプ。

(2) 基板の裏面にコーティング層を形成し、所定の回路パターンを有する第1のマスクを介して前記コーティング層側から第1の光を照射することにより前記基板に溝を形成し、バンプに相当する面状部分を有する第2のマスクを介して前記コーティング層側から第2の光を照射することにより所定のバンプパターンを前記基板に形成し、該形成された溝及びバンプパターン上に所定厚の導電性の層を形成することを特徴とする電子回路基板

のバンプ及び回路パターンの形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法に関する。

〔従来の技術〕

従来の電子回路基板のバンプ形成方法としては、大規模集積回路 (Large Scale Integrated Circuit) 以後、LSIと称する) のウエハ状態においてメッキ法により各LSIチップ面にバンプ加工する方法が知られている。

また、他の従来の電子回路基板のバンプ形成方法としては、上記の方法と同様にLSIのウエハ状態において、ガラス版上にバンプ形状を形成加工して、LSIチップ及び回路パターン面にバンプを転写する転写バンプ方法が知られている。

上記従来の電子回路基板のバンプ形成方法を図面を参照して以下に詳述する。

まず、上述のメッキ法による従来の電子回路基

特開平4-150033 (2)

板のパンパ形成方法について説明する。

第8図(A)及び第8図(B)にLSIウエハ状態でメッキ法により各LSIチップ部にパンパを形成する方法を示す。

第8図(A)に示すように、まずLSIウエハの状態では、パンパ加工部が開口されているレジスト膜をLSIウエハに渡す。レジスト膜をLSIウエハに渡したならば、レジスト膜の開口された部分にメッキ液により1～1.5μmの厚さを有するパンパを生成する。

上記のパンパが生成されたら、第8図(B)に示すように、レジスト膜を除去して凸状のパンパをLSIチップに形成する。

次に、上述の転写パンパ方法による従来の電子回路基板のパンパ形成方法について説明する。

第9図(A)から第9図(D)にガラス板上にパンパ形状加工を形成し、回路パターン部にパンパを転写する方法を示す。

まず、第9図(A)に示すようにガラス板に凹状のパンパ用の部分11を加工する。

しやすく、またパンパ部11をLSI11の一部分に形成する必要がある。

〔発明が解決しようとする課題〕

上述の従来のLSIウエハ状態でメッキ法により各LSIチップ部にパンパ加工する方法には、タブ(以後、TABと略する)テープ及び基板上にLSIチップをボンディングするときに、LSIチップにパンパ加工を施しておく必要があるために製造工程が多いという問題点がある。

また、上述のガラス板上にパンパ形状加工を形成し、回路パターン部にパンパを転写する転写パンパ方法にも、一度生成したパンパを加熱金属液によりガラス板から回路パターンに転写しなければならず製造工程が多いという問題点がある。

本発明の目的は、少ない工程により電子回路基板に渡すことができる電子回路基板のパンパを提供することにある。

本発明の他の目的は、上述の従来の電子回路基板のパンパ形成方法における問題点に鑑み、少ない工程によりパンパを電子回路基板に渡すことが

第9図(B)に示すように上記ガラス板11に形成された凹状のパンパ用の部分11にメッキ液によりパンパ形状11を作成する。

加熱金属液によりガラス板11で作成された凸状のパンパ11を第9図(C)に示すようにガラス板11から回路パターン11のLSI端子位置に合致するパターン部分11にパンパを転写転写して、第9図(D)に示すようにパンパ11を回路パターン部11に形成する。

第11図(A)及び(B)は、上述した従来のパンパ形成方法を用いて作成されたTABテープの一構成例を示す。

第11図(A)は第11図(B)中の線分BB'におけるTABテープの断面図を示し、第11図(B)は第11図(A)のTABテープの上面図を示す。

図中、ニッチング法により基板11上に回路パターンを構成するインナーリード11及びアウトリード11が形成されていると共に、基板11を貫通してデバイスホール11が形成されている。

従って導通的にインナーリード11が容易に変形

できる電子回路基板のパンパ及び回路パターンの形成方法を提供することにある。

〔課題を解決するための手段〕

本発明の上述した目的は、基板に形成され所定の回路パターンを有する導と、導上に形成された所定厚の導電性層とを有する電子回路基板におけるパンパであって、導から基板上に延伸して形成された所定厚の導電性層から成る電子回路基板のパンパによって達成される。

本発明の上述した他の目的は、基板の表面にコーティング膜を形成し、所望の回路パターンを有する第1のマスクを介してコーティング膜側から第1の光を照射することにより基板に導を形成し、パンパに相当する面積部分を有する第2のマスクを介してコーティング膜側から第2の光を照射することにより所定のパンパパターンを基板に形成し、形成された導及びパンパパターン上に所定厚の導電性の層を形成する電子回路基板のパンパ及び回路パターンの形成方法によって達成される。

〔作用〕

特開平1-150033(3)

本発明の電子回路基板のパンプでは、層は基板に形成され所定の回路パターンを有し、所定の導電性層は層上に形成されていると共に、層から基板上に延伸して形成されている。

本発明の電子回路基板のパンプ及び回路パターンの形成方法では、基板の表面にコーティング膜を形成し、所望の回路パターンを有する第1のマスクを介してコーティング膜側から第1の光を照射することにより基板に層を形成し、パンプに相当する面積部分を有する第2のマスクを介してコーティング膜側から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された層及びパンプパターン上に所定の導電性の層を形成する。

〔実施例〕

以下、本発明の電子回路基板のパンプ並びに電子回路基板のパンプ及び回路パターンの形成方法における実施例を図面を参照して詳述する。

第1図に本実施例の電子回路基板のパンプ及び回路パターンの形成方法のフローチャートを示す。

図1の層11を平面図で示す。図に示すように各層はそれぞれ一定の間隔離れて設けられる。

次に、マスク11を取り除いた後に(ステップS4)、第2図(C)に示すようにパンプ寸法に相当する長さa、幅bを有する面積a×bの部分で1つまたは複数個入ったマスク11をコーティング膜12に付設し(ステップS5)、マスク11が付設されたコーティング膜12の側からエキシマレーザー13から出力されたレーザー光13を照射してコーティング膜12を貫通して図2のパターン11を回路基板11に生成する(ステップS6)。上記のパンプ寸法に相当する長さa、幅bを有する面積a×bの部分の平面を第4図に示す。

マスク11を取り除いた後に(ステップS7)、第2図(D)に示すように電着又は無電着メッキにより、コーティング膜12がコーティングされた側から回路基板11に形成された層11及び11'のパターン11及び11'上に導電層を生成し(ステップS8)、回路パターン11及びパンプ部11'のみに金属導電層11を形成する(ステップS9)。従ってパ

また、第2図(A)から第2図(F)に本実施例の電子回路基板のパンプ及び回路パターンの形成方法の各工程を示す。

第1図のフローチャートに従って第2図から第7図を参照して、以下、本実施例の電子回路基板のパンプ及び回路パターンの形成方法を説明する。

まず、第2図(A)に示すようにポリイミド又はポリエステル等により形成された電子回路基板(以後、回路基板と称する)11の表面上に分子量の低いコーティング膜12をコーティングする(ステップS1)。なお、コーティング膜12としては、次工程で加工する導電層及び無電着の導電層がつかないものを選択する。

第2図(B)に示すように、回路基板11にコーティングされたコーティング膜12の側から形成する回路パターンを有するマスク11を付設し(ステップS2)、マスク11が付設されたコーティング膜12の側からエキシマレーザー13から出力されたレーザー光13を照射して図2の凹状の層11を生成する(ステップS3)。第3図は上記の図2の凹

層以外にコーティング膜12でカバーされており導電層及び無電着メッキによる導電層は付着しない。

上述の第2図(D)に示す工程により生成された金属導電層11の上に、第2図(E)に示すように電着メッキにより必要な厚さで導電層11を形成する(ステップS10)。上述のステップS10で形成された導電層11の平面図を第5図に示す。

ステップS10の次のステップでは、第2図(F)に示すように、不要なコーティング膜12を除去して回路基板11上に厚さ1の凸状のパンプ11'を形成する(ステップS11)。

上述のステップS11で形成された導電層の厚さ1は電着メッキの量により任意に設定出来る。また、パンプ11'の高さは、電着メッキの量及びエキシマレーザー13から出力されるレーザー光13の量、即ち加工量、により任意に設定出来る。

第6図は、本実施例の電子回路基板のパンプ形成方法における上述の各ステップS1～S11を用いて形成してL51形成周辺の回路パターン及びパンプの概略を示す。

特開平4-150033 (4)

第6図に示すようなパンプの形成は、本実施例の電子回路基板のパンプ形成方法を用いれば少ない工程で効率的に加工することができる。

第7図(A)は本実施例の電子回路基板のパンプの形成方法を用いて作成されたTABテープの第7図(B)の線分AA'における断面図を示し、第7図(B)は第7図(A)のTABテープの上面図を示す。

第7図に示すように本実施例の方法を用いれば、TABテープの基板に導体が加工され、その導体に回路パターンが形成されると共にパンプがその導体の一面分に加工される。

第7図(A)は、TABテープの断面図であり、図に示すように、回路パターン部分には基板11に形成されており、更にその回路パターン部分にパンプ部12が基板11の最上11のレベルからLSI 14に接続するように突出して形成されている。

即ち、回路パターン部分12及びパンプ部12を同時に形成できる。

なお図中、パンプ部12とLSI 14とが離間して

示されているが、これはパンプ部12が回路パターン部分12の一部分に形成されていることを示すためであり、実際にはパンプ部12とLSI 14とは結合され形成されている。

第7図(B)は第7図(A)に示すTABテープの上面図であり、図に示すように本実施例の方法を用いればデバイスホールが不要であることが理解できる。また、回路パターン部分12及びパンプ部12が基板11に埋め込まれて形成されるので容易に変形せず、更にLSIのパンプ加工が不要である。

〔発明の効果〕

本発明の電子回路基板のパンプによれば、基板に形成され所定の回路パターンを有する導体と、導上に形成された所定厚の導電性層とを有する電子回路基板におけるパンプであって、導から基板上に延伸して形成された所定厚の導電性層から成るので、形成されたパンプによって基板上にLSIチップを容易に実装できる。

本発明の電子回路基板のパンプ及び回路パター

ンの形成方法によれば、基板の表面にコーティング膜を形成し、所望の回路パターンを有する第1のマスクを介してコーティング膜から第1の光を照射することにより基板に導体を形成し、パンプに相当する面積部分を有する第2のマスクを介してコーティング膜から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された導体及びパンプパターン上に所定厚の導電性層を形成するので、基板上にパンプ又は回路パターンを少ない製造工程により形成でき、基板上にLSIチップを容易に実装できる。

4. 図面の簡単な説明

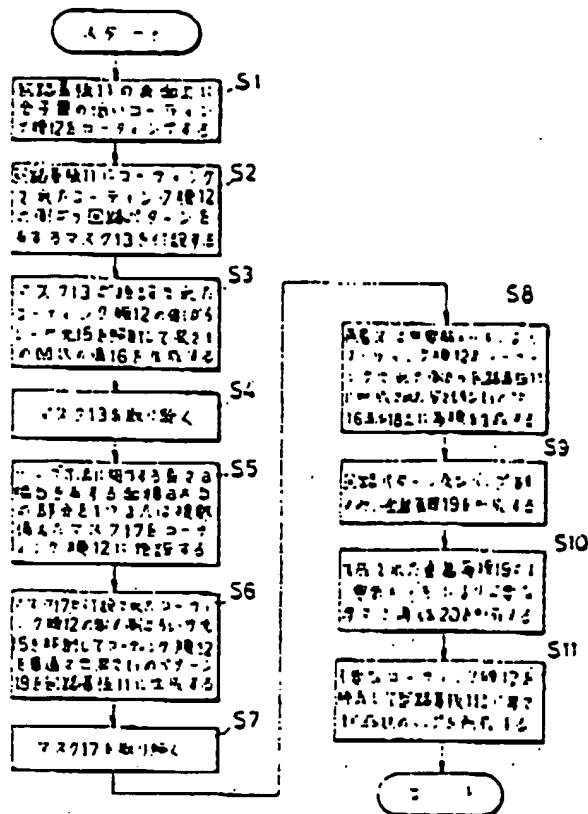
第1図は本実施例の電子回路基板のパンプ及び回路パターンの形成方法を説明するためのフローチート、第2図(A)～第2図(F)は本実施例の電子回路基板のパンプ及び回路パターンの形成方法における各工程を説明するための断面図、第3図は第2図(B)の工程における平面図、第4図は第2図(C)の工程における平面図、第5図は第2図(E)の工程における平面図、第6図

は本実施例の電子回路基板のパンプ及び回路パターンの形成方法により形成されたLSI接続周辺の電子回路パターン及びパンプの概略図、第7図(A)及び第7図(B)は第1図の電子回路基板のパンプ及び回路パターンの形成方法により作成されたTABテープの一構成例を示す図、第8図(A)及び第8図(B)は従来の電子回路基板のパンプ形成方法の一例を示す断面図、第9図(A)～第9図(D)は従来の電子回路基板のパンプ形成方法の他の一例を示す断面図、第10図(A)及び第10図(B)は従来の電子回路基板のパンプ形成方法により作成されたTABテープの一構成例を示す図である。

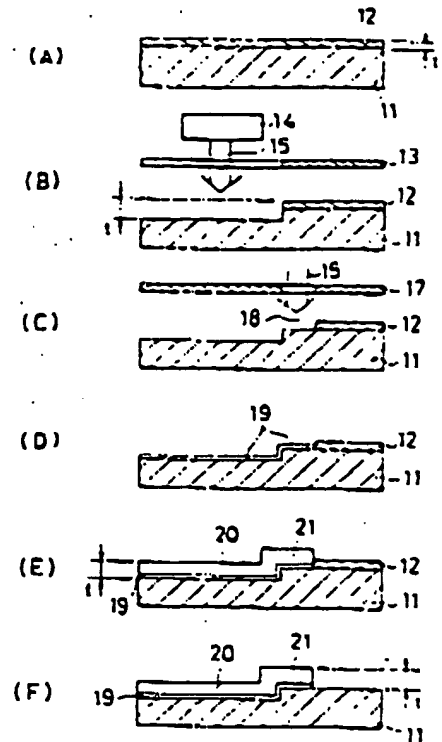
11…電子回路基板、12…コーティング膜、13…マスク、14…エキシマレーザ、15…レーザ光、16…凹状の導体、17…マスク、18…パターン、19…全導電層、20…導体、21、22…パンプ。

出願人 (504) シーエー株式会社
代理人 川口 義彦
代理人 中村 達
代理人 船山 透
代理人 佐藤 美津
代理人 坂井 洋

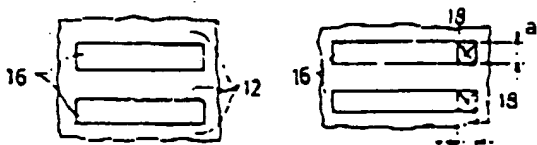
特開平4-150033(5)



第1図

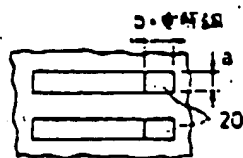


第2図

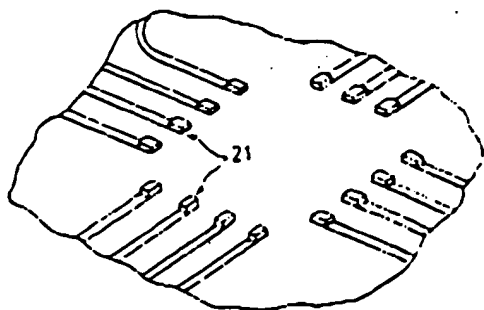


第3図

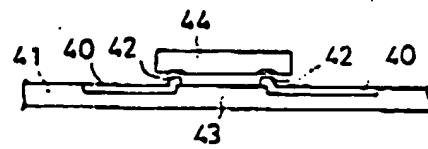
第4図



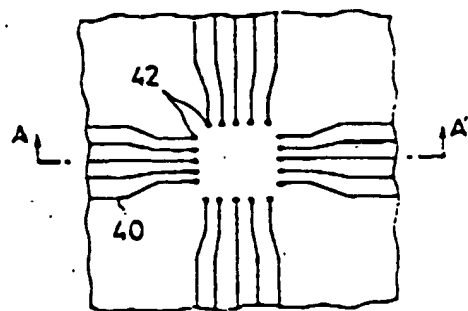
第5図



第6図



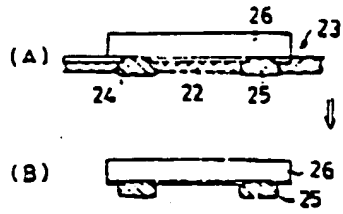
(A)



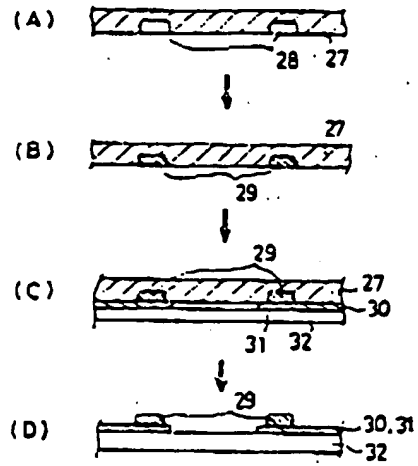
(B)

第7図

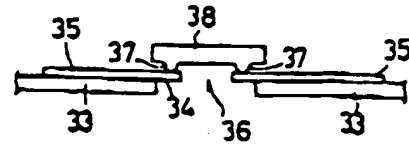
特開平4-150033(6)



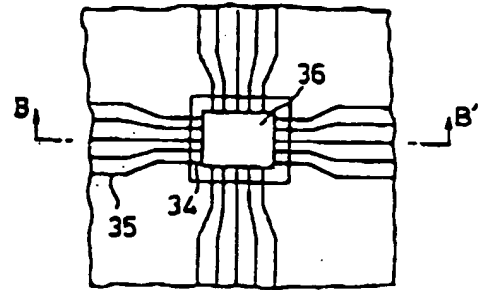
第 8 図



第 9 図



(A)



(B)

第 10 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.